

DOI: 10.7652/xjtuxb201601021

一种超低功耗的低压差线性稳压器环路补偿方法

刘晨^{1,2}, 来新泉¹, 钟龙杰¹, 杨伟¹

(1. 西安电子科技大学 CAD 研究所, 710071, 西安; 2. 空军工程大学防空反导学院, 710051, 西安)

摘要: 针对低压差线性稳压器(LDO)电路设计中为改善环路补偿的稳定性增加电流缓冲电路而带来额外功耗的问题,提出一种嵌入式 LDO 环路补偿方法。该方法在原 LDO 的误差放大器模块中,嵌入一个由晶体管和电容组成的电流缓冲电路,该结构与误差放大器的共源共栅输出级共用晶体管,由于整体电路中不增加新元器件,因此消除了引入缓冲电路所带来的额外功耗。仿真实验验证了加入电流缓冲电路后系统环路稳定性能得到了改善。采用联华电子公司 0.5 μm 5 V 的 CMOS 工艺线在 LDO 中进行了投片验证,实测芯片静态功耗电流仅为 50 μA ,当输入电压从 3 V 跳变到 5 V 时,输出电压的上冲与下冲都小于 15 mV,负载电阻从 18 k Ω 跳变到 9 Ω 时,输出电压的最大变化小于 20 mV。投片测试结果表明,该补偿方法可在提高系统环路稳定性的同时消除额外功耗。

关键词: 集成电路设计;环路补偿;嵌入式结构;电流缓冲技术

中图分类号: TN911.7 **文献标志码:** A **文章编号:** 0253-987X(2016)01-0139-06

A Loop Compensation Method of Low Dropout Regulator with Ultra Low Power

LIU Chen^{1,2}, LAI Xinquan¹, ZHONG Longjie¹, YANG Wei¹

(1. Institute of Electronic CAD, Xidian University, Xi'an 710071, China;

2. School of Air and Missile Defense, AFEU, Xi'an 710051, China)

Abstract: An embedded loop compensation method of LDO is proposed to solve the problem that the current buffer technique overcomes the drawback of traditional miller compensation, but consumes extra power. It merges the current buffer into the fold-back amplifier, so that the LDO circuit and the current buffer circuit share the transistor, and the loop stability of the circuit can be improved without adding the components. The principle of the proposed compensation method is analyzed and described in detail. The method is tested in a low-dropout voltage regulator using UMC 0.5 μm 5 V CMOS technology, and the results show that chip static power current has only 50 μA , and both the output voltage overshoot and undershoot are below 15 mV when the input voltage changes from 3 V to 5 V. The maximum change of the output voltage is less than 20 mV when the load resistance reduces from 18 k Ω to 9 Ω . The measurement results show that the embedded structure eliminates the extra power loss and improves loop stability.

Keywords: IC design; loop compensation; embedded structure; current buffer technique

在常用的低压差线性稳压器(LDO)设计中,为了提高转换效率,输出大负载电流,功率管需要具有较大的尺寸,但大尺寸必然会引入大电容,产生低频极点,影响环路稳定性^[1]。

目前,环路稳定性的补偿方法大体分为两类:等效串联电阻(ESR)低频零点补偿^[2-3]和密勒补偿^[4-6]。其中,ESR低频零点补偿利用输出电容与其等效串联电阻形成一个低频零点,来抵消一个非主极点的附加相移,从而达到环路稳定性的要求。但是,在单位增益带宽内,要想获得精确的零极点对消是一件比较困难的事^[2],而且当输出电容较大(如微法级),输出电流发生较大的阶跃性跳变时,输出电容的ESR会导致较大的输出过冲电压^[3]。密勒补偿利用密勒等效定理,产生极点分裂的效果,使系统在带宽内获得足够的相位裕度,使环路能够稳定地工作。但是,密勒补偿在进行环路补偿的同时,也形成了前馈通路^[4],故不仅有反馈电流流过补偿电容,同时前馈电流也流过了补偿电容,由此产生了右半平面的零点。如果控制不当,会引起更加严重的稳定性问题^[5]。

电流缓冲技术是对密勒补偿技术的改进^[6],该技术使流过补偿电容的电流具有了方向性,即仅有反馈电流能够流过补偿电容,很好地抑制了右半平面零点的产生,使系统环路的控制更加简单,可靠性增强,而且电流缓冲补偿技术并不需要ESR低频零点对环路进行补偿就可以获得很好的稳定性^[7-8]。然而,增加电流缓冲电路会增加额外的电流支路,导致额外功耗。本文针对增加稳定电路带来额外功耗问题提出了一种改进的环路补偿电路结构。该结构利用LDO电路和电流缓冲电路共用晶体管,在改善稳定性的同时消除了额外功耗。

1 电流缓冲技术基本原理

1.1 极点分裂原理

密勒补偿与电流缓冲技术都利用了极点分裂的方式来达到环路稳定的目的,这里简述一下极点分裂的基本原理。

以一个两级运算放大器(简称运放)为例, g_{m1} 、 g_{m2} 分别是第1级与第2级运放的跨导增益, R_1 与 C_1 分别是第1级运放的输出电阻与输出电容, R_L 与 C_L 分别是第2级运放的负载电阻与负载电容, C_c 是补偿电容,两级运放的结构如图1所示。

从图1中可以得到两级运放的电压总增益

$$A_v = -A_{v1}A_{v2} \quad (1)$$

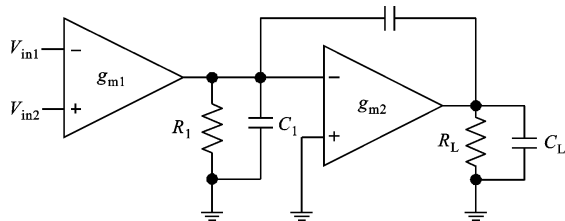


图1 两级运放结构图

式中: A_{v1} 与 A_{v2} 分别是第1级与第2级的电压增益,其表达式为

$$A_{v1} = g_{m1}R_1 \quad (2)$$

$$A_{v2} = g_{m2}R_L \quad (3)$$

两级运放的传输函数为

$$H(s) = A_v \frac{1 - cs}{1 + as + bs^2} \approx$$

$$A_v(1 - cs) / \left[(1 + as) \left(1 + \left(\frac{b}{a} \right) s \right) \right] \quad (4)$$

式中: $a \approx A_{v2}C_cR_1$; $b \approx C_LC_cR_1R_L$ 。

当系统的2个极点相距较远时,可以从式(4)中得到系统的零极点表达式

$$z = \frac{1}{c} \quad (5)$$

$$p_d = -\frac{1}{a} \quad (6)$$

$$p_{nd} = -\frac{a}{b} \quad (7)$$

式中: z 是系统零点频率; p_d 是主极点频率; p_{nd} 是次极点频率。

从系统的2个极点的表达式中可以很清楚地看到,如果系统中某些参数的改变使得系数 a 变大,则系统的2个极点会朝着相反方向移动,即主极点频率 p_d 向着低频方向移动,而次极点频率 p_{nd} 则向着高频方向移动,此时2个极点间的频距逐渐增大,形成了极点分裂效应^[9]。本文2.3节就是利用该理论分析环路的稳定性。

1.2 电流缓冲技术分析

从式(5)可以看出,系统零点是1个右半平面的零点,与左半平面零点不同的是,它会在系统的相频响应中引入 -90° 的附加相移,从而使系统的环路稳定性变得更差,而这个右半平面零点的产生是补偿电容形成前馈通路的结果。图1中补偿电容 C_c 是双向的,即在反馈电流流过电容 C_c 的同时,也有前馈电流流过。当前馈电流流过补偿电容时,在输出节点上产生了1个输出信号。该信号在相位上与输入信号相同,而与放大器输出信号的相位相反,当该输出信号与放大器的输出信号大小相等时,就会产

电路中其他元器件,晶体管 MN1、MP1、MP2、MP3 为整个电路提供了电压与电流偏置。晶体管 MN2、MN3 组成了第 1 级源极跟随器,进行电平移位操作,使得输入电平范围更加适合下一级放大电路。晶体管 MP5~MP8,以及晶体管 MN6~MN9 组成了第 2 级折叠式共源共栅放大器,提供高增益与高输出阻抗。

下面,详细地分析 LDO 电路中采用嵌入式电流缓冲技术后对系统环路稳定性的影响。

2.3 消除额外功耗后环路稳定性分析

LDO 的小信号等效电路如图 5 所示,其中 g_{m1} 是折叠共源共栅运放的等效跨导, v_1 、 R_{o1} 与 C_{o1} 分别是折叠共源共栅运放的输出电压、输出电阻与输出电容, g_{m2} 是驱动缓冲级的跨导, v_2 、 R_{o2} 与 C_{o2} 分别是驱动缓冲级的输出电压、输出电阻与输出电容, g_{mp} 是功率级的等效跨导。

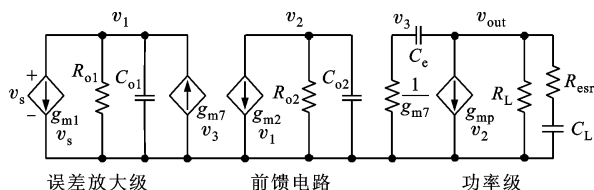


图 5 LDO 的小信号等效图

由小信号等效图可以写出各节点的电流方程,如式(8)~(11)所示

$$g_{m7} v_3 = g_{m1} v_s + \frac{v_1}{R_{o1}} + v_1 C_{o1} s \quad (8)$$

$$-g_{m2} v_1 = \frac{v_2}{R_{o2}} + v_2 C_{o2} s \quad (9)$$

$$-g_{mp} v_2 = \frac{v_{out}}{R_L} + v_{out} / (R_{esr} + \frac{1}{C_L s}) + (v_{out} - v_3) / \frac{1}{C_c s} \quad (10)$$

$$-g_{m7} v_3 = (v_3 - v_{out}) / \frac{1}{C_c s} \quad (11)$$

缓冲级的增益如式(12)所示

$$g_{m2} R_{o2} \approx 1 \quad (12)$$

联立式(8)~(12),并且忽略驱动缓冲级的输出电阻 R_{o2} 与输出电容 C_{o2} ,可以得到电路的输出 v_{out} 与输入 v_s 之间的关系如下

$$v_{out}(s) = \left[-v_s(s) R_{o1} R_L g_{m1} g_{mp} \left(1 + s \frac{C_c}{g_{m7}} \right) \right] / \left[1 + C_L R_L s + C_c R_L R_{o1} g_{mp} s + C_{o1} C_L R_{o1} R_L s^2 + \frac{C_{o1} C_c C_L R_{o1} R_L s^3}{g_{m7}} \right] \quad (13)$$

从图 3 的电阻分压网络(R_1 和 R_2)可知

$$v_s = \frac{R_2}{R_1 + R_2} v_{out} = B v_{out} \quad (14)$$

式中: B 为反馈系数。将式(14)代入到式(13)中可得系统的传输函数

$$H(s) = \left[-B R_{o1} R_L g_{m1} g_{mp} \left(1 + s \frac{C_c}{g_{m7}} \right) \right] / \left[1 + (C_L R_L + C_c R_L R_{o1} g_{mp}) s + C_{o1} C_L R_{o1} R_L s^2 + \frac{C_{o1} C_c C_L R_{o1} R_L s^3}{g_{m7}} \right] \quad (15)$$

注意到,式(15)分母的一阶分量中包含项 $C_c R_L R_{o1} g_{mp}$,该项可以写为

$$C_c R_L R_{o1} g_{mp} = g_{mp} R_L C_c R_{o1} = A_{v2} C_c R_{o1} \quad (16)$$

式(16)中, $A_{v2} C_c$ 是密勒等效电容,与传统密勒补偿中的等效电容 $(1 + A_{v2}) C_c$ 不同,这也从另一方面说明了电流缓冲器对前馈通路的阻断,而分子中的 $-B R_{o1} R_L g_{m1} g_{mp}$ 则是系统的环路增益。

因为 LDO 的极点会随着负载的变化而变化,所以需要在不同的负载情况下对系统进行讨论。

(1)当负载为轻载时,输出极点为主极点,此时可以从式(15)中得到主极点的频率 p_d 和次极点的频率 p_{nd} 分别为

$$p_d = -\frac{1}{C_L R_L} \quad (17)$$

$$p_{nd} = -\frac{1}{C_{o1} R_{o1}} \quad (18)$$

而零点与另一个极点相对消,此处便不再给出。与式(6)、(7)相比,式(17)、(18)并没有发生极点分裂。

(2)当负载为重载时,输出极点在高频,而由密勒等效电容产生的极点成为了主极点,这同样可从式(15)中得到主极点的频率和次极点的频率分别为

$$p_d = -\frac{1}{R_L R_{o1} C_c g_{mp}} \quad (19)$$

$$p_{nd} = -\frac{C_c g_{mp}}{C_L C_{o1}} \quad (20)$$

与轻载时的情况一样,也有 1 对零极点对消。与式(6)、(7)相比,式(19)、(20)发生了极点分裂,当增大 $g_{mp} C_c$ 时,主极点向低频方向移动,而次极点向高频方向移动。当 $g_{mp} C_c$ 取值适当时,可以使单位增益带宽内仅存有 1 个极点,保证了足够的相位裕度,获得了很好的稳定性。

可以看到,通过电流缓冲技术嵌入式结构可以使 LDO 在整个负载电流范围内稳定地工作,且仅需要很小的补偿电容,在该设计中补偿电容 C_c 只有 4 pF,就当前的 CMOS 工作技术可以轻易地将该电容集成于芯片中。

3 电路仿真验证与实测结果分析

为了验证本文电流缓冲补偿技术的正确性与有效性,采用计算机仿真做初步验证,然后将芯片制造出来进行实际测试验证。计算机仿真使用 CA-DENCE 公司提供的基于 Linux 操作系统的前端设计仿真环境平台,在平台中调用的仿真器为 Synopsi s 公司提供的 HspiceS,仿真器所使用的器件模型为联华电子公司所提供的 0.5 μm 5 V CMOS 器件模型。

3.1 电路仿真及实测结果分析

在 CADENCE 仿真平台中,按照设计 LDO 的电路图并设输出电容是 0.22 μF ,得到环路增益和相位裕度的仿真结果如图 6 所示。从图 6 中可以看出,在全载、轻载以及空载 3 种情况下,单位增益带宽内都仅有 1 个极点,且由负载电容与其等效串联电阻所产生的零点处在带宽外的高频处,这也验证了前文所述的电流缓冲补偿技术并不需要 ESR 零点的补偿就可以获得很好的频率响应。通常,设计裕度大于 45°时,LDO 的稳定性认定为可接受^[1]。经仿真验证,本文设计的 LDO 在全负载范围内最小的相位裕度为 55°。

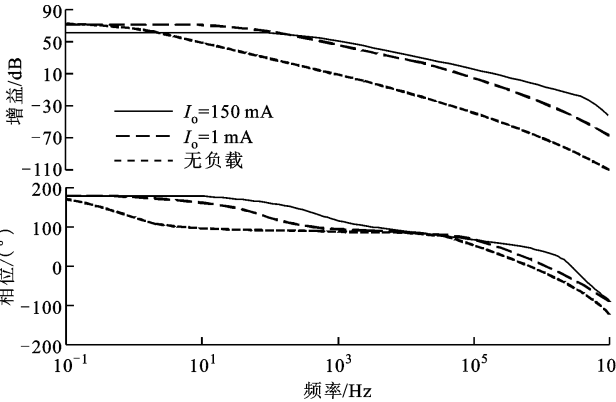


图 6 本文 LDO 的环路增益与相位裕度仿真结果

以下为实际测试电路 2 个关键指标输入线性调整率和负载线性调整率的结果。

输入线性调整率。在负载电容为 0.22 μF 、负载电阻为 18 Ω 的情况下,设计的稳压器在输入电压从 3 V 到 5 V 变化时输出电压的瞬态响应曲线如图 7 所示。输出电压的变化小于 15 mV,即该稳压器的输入电压的变化对于输出电压的影响可以忽略。

负载线性调整率。在输出电压为 1.8 V、负载电容为 0.22 μF 的情况下,LDO 的负载电阻从 18 k Ω 跳变到 9 Ω 时输出电压的变化情况如图 8 所示。输出电压的最大变化小于 20 mV,略微大于输出电压的

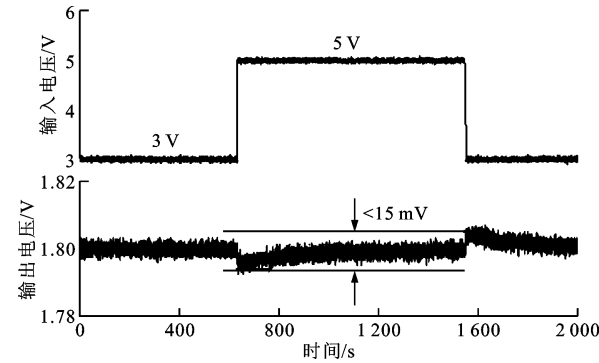


图 7 本文 LDO 的线性瞬态响应曲线

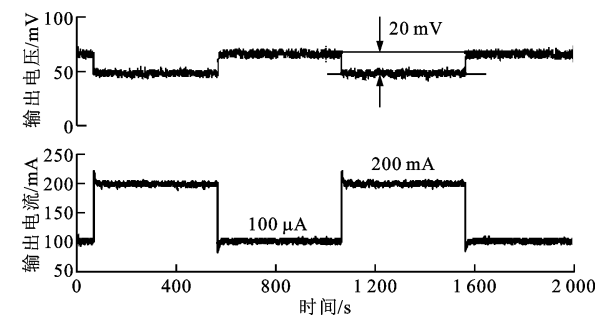


图 8 本文 LDO 的负载瞬态响应曲线

1%,这 20 mV 的变化包括了输出上冲与下冲。测试结果表明该 LDO 有良好的瞬态特性。

以上的实测结果显示,嵌入式结构电流缓冲技术在稳定性和瞬态响应特性这 2 个重要性能指标上能够达到传统电流缓冲技术水平。

同时测试结果表明,所设计的稳压器的输入电压范围从 2.5 V 到 5.5 V,最小输出电压为 1.8 V,最小漏失电压仅为 0.5 V,具有较高的电压转换效率。其静态电流最大只有 50 μA ,这就在很大程度上降低了整个电路的功率损耗,并且可提供的最大负载电流为 150 mA。

3.2 实测参数对比及结果分析

嵌入式电流缓冲电路同其他环路补偿电路参数指标的比较,如表 1 所示。其他环路补偿电路选取相近参考文献[11,14]的电路参数指标。

表 1 本文电路与参考文献电路的参数比较

电路	I_{max}/mA	$I_{\text{Q}}/\mu\text{A}$	V_{out}/V	$C_{\text{out}}/\mu\text{F}$	V_{o}/mV	R_{PSR}/dB
文献[11]	100	111	1.21	0.1	90	-52.5
文献[14]	200	60	0.6~3.15	0.5	60	
本文	200	50	1.8~5	0.22	20	-66.8

注: I_{max} 是芯片最大的输出电流; I_{Q} 是芯片本身所消耗的电流; V_{out} 是芯片所支持的输出电压; C_{out} 是芯片所需要的滤波电容; V_{o} 是芯片输出电压在经历空负载输出电流到满负载输出电流时输出电压的变化峰值; R_{PSR} 为电源抑制比。

由表1可见:①本文设计的芯片在静态功耗电流方面消耗很小,文献[11]和文献[14]的静态功耗电流分别为 $111\ \mu\text{A}$ 和 $60\ \mu\text{A}$,而本文设计芯片的静态功耗电流仅为 $50\ \mu\text{A}$;②本设计拥有非常好的瞬态响应能力(空载到满载的电压跳变为 $20\ \text{mV}$,远小于其他设计)。通常来讲瞬态响应能力和环路带宽是相关的,良好的瞬态响应需要良好的环路补偿设计支持^[1]。这很好地反映了本文所提出的嵌入式结构电流缓冲技术的有效性。

4 结 论

本文提出了一种电流缓冲技术的嵌入式结构,利用嵌入式电流缓冲电路对反馈系统进行环路补偿,在消除传统电流缓冲带来的额外功耗的前提下,抑制了右半平面零点的产生,提高了环路的稳定性。将本文设计结果应用到低压差电源稳压器中,并采用联华电子公司 $0.5\ \mu\text{m}\ 5\ \text{V}$ 的 CMOS 工艺生产出实际芯片,实测数据有力地验证了本文方法的有效性。

参考文献:

- [1] 毕查德·拉扎维. 模拟 CMOS 集成电路设计 [M]. 西安: 西安交通大学出版社, 2003: 303-305.
- [2] 张显库, 袁杨. 具有不稳定零极点对消的结构图等效问题 [J]. 计算技术与自动化, 2010, 29(3): 6-8.
ZHANG Xianku, YUAN Yang. Problem of block diagram algebra with unstable pole-zero cancellation [J]. Computing Technology and Automation, 2010, 29(3): 6-8.
- [3] BLAKIEWICZ G. Output-capacitor less low-dropout regulator using a cascoded flipped voltage follower [J]. IET Circuits Devices & Systems, 2011, 5(5): 418-423.
- [4] AHUJA B K. An improved frequency compensation technique for CMOS operational amplifiers [J]. IEEE Journal of Solid-State Circuits, 1983, 18(6): 629-633.
- [5] RAJPUT S K, HEMANT B K. Two-stage high gain low power OpAmp with current buffer compensation [C]//Proceedings of 2013 Global High Tech Congress on Electronics. Piscataway, NJ, USA: IEEE, 2013:

121-124.

- [6] ZABRODA O, MURMANN B. Eliminating complex conjugate poles in two-stage operational amplifiers with current buffer Miller compensation [J]. Analog Integration Circuit Signal Process, 2014, 81(2): 361-365.
- [7] WANG Wei, YAN Zushu, MAK P I. Micropower two-stage amplifier employing recycling current-buffer Miller compensation [C]//Proceedings of 2014 IEEE International Symposium on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2014: 1889-1892.
- [8] 陈颖玉, 郑金棋, 王慧贞. 一种新型大功率无损缓冲 Buck 变换器的研究 [J]. 电力电子技术, 2015, 49(6): 94-98.
CHEN Yingyu, ZHENG Jinqi, WANG Huizhen. Research on a novel high-power buck converter using loss-less snubber [J]. Power Electronics, 2015, 49(6): 94-98.
- [9] SANSEN W M C. Analog design essentials [M]. Berlin, Germany: Springer Inc., 2006: 102-105.
- [10] GRAY P R, MEYER R G. MOS operational amplifier design: a tutorial overview [J]. IEEE Journal of Solid-State Circuits, 1982, 17(6): 969-982.
- [11] GARIMELLA A, FURTH P M, SURKANTI P R. Current buffer compensation topologies for LDOs with improved transient performance [J]. Analog Integrated Circuits and Signal Processing, 2012, 73(1): 131-142.
- [12] AL-SHYOUKH M, LEE H, PEREZ R. A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation [J]. IEEE Journal of Solid-State Circuits, 2007, 42(8): 1732-1742.
- [13] BRIAN M K. Understanding the load-transient response of LDOs [J]. Analog Applications Journal, 2000(9): 19-23.
- [14] YEONG T L, CHI C U, MEI C J. A low dropout regulator using current buffer compensation technique [C]//Proceedings of 2010 International Conference on Solid-State and Integrated Circuit Technology. Piscataway, NJ, USA: IEEE, 2010: 144-146.

(编辑 刘杨)